

COPYRIGHT: (C)1995, JPO

DID:

JP 07183395 A

FPAR:

PURPOSE: To reduce current flowing through an insulating film and to enhance the dielectric strength by forming a laminate of a plurality of insulating films on a silicon layer and setting the band gap of lowermost SiO_2 insulating film wider than that of a Ta_2O_5 insulating film formed thereon

FPAR:

CONSTITUTION: A P-type impurity layer 102 is formed on the surface of an n-type silicon substrate and SiO_2 is deposited thereon. p-type polysilicon 104 deposited on the SiO_2 while containing boron by $10^{20}/\text{cm}^3$ is connected with the p-type impurity layer 102 through an opening made through the Si_n . A two layer insulation film 105 of SiO_2 (lower layer) and Ta_2O_5 (upper layer) is then deposited on the p-type polysilicon 104. Since p-type polysilicon is employed for the underlying electrode, the barrier height of SiO_2 is increased upon application of a positive voltage to the upper electrode. Consequently, the tunneling probability of SiO_2 layer is decreased and when a negative voltage is applied to the upper electrode, the work function of upper electrode increases thus decreasing the electric field in the Ta_2O_5 layer.

CLIPPEDIMAGE= JP407183395A
PUB-NO: JP407183395A
DOCUMENT-IDENTIFIER: JP 07183395 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: July 21, 1995
INVENTOR-INFORMATION:
NAME
KAGA, TORU
YADORI, SHOJI
NAKADA, MASAYUKI
OJI, YUZURU
KURE, TOKUO
INT-CL (IPC): H01L021/8242; H01L027/108 ; H01L021/822
; H01L029/43

ABSTRACT:

PURPOSE: To reduce current flowing through an 10^2 film and to enhance 0.5 ity of the dielectric strength by forming a laminate insulating films on a silicon layer and setting the band gap of lowermost SiO_2 insulating film wider than that of a TaO_5 insulating film formed thereon

CONSTITUTION: A P-type impurity layer 102 is formed on the surface of an n-type silicon substrate and SiO_2 is deposited thereon. p-type polysilicon 104 deposited on the SiO_2 while containing boron by $10^{20}/\text{cm}^3$ is connected with the p-type impurity layer 102 through an opening made through the SiO_2 . A two layer insulation film 105 of SiO_2 (lower layer) and TaO_5 (upper layer) is then deposited on the p-type polysilicon 104. Since p-type polysilicon is employed for the underlying electrode, the barrier height of SiO_2 is increased upon application of a positive voltage to the upper electrode. Consequently, the tunneling probability of SiO_2 layer is decreased and when a negative voltage is applied to the upper electrode, the work function of upper electrode increases thus decreasing the electric field in the TaO_5 layer.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-183395

(43)公開日 平成7年(1995)7月21日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8242				
27/108				
27/04				
	7210-4M-		H 0 1 L 27/ 10	3 2 5 C
			27/ 04	C
	審査請求	未請求	請求項の数13	OL (全 7 頁) 最終頁に続く

(21)出願番号 特願平5-323701

(22)出願日 平成5年(1993)12月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 加賀 徹

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 宿利 章二

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 中田 昌之

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 半導体装置

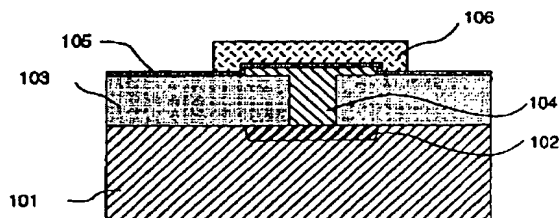
(57)【要約】

【目的】 Ta_2O_5 膜を用いたMIS型容量の絶縁耐圧を向上させる。

【構成】 p型多結晶シリコンを下地電極、その上に SiO_2 と Ta_2O_5 の順番に積層された積層絶縁膜、その上にTiNまたはWの上部電極を持つMIS型の容量。

【効果】 下地電極にp型の多結晶シリコンを用いることにより、従来のn型多結晶シリコンを用いた場合に比較して実効膜厚3nmの場合に約2MV/cm(SiO_2 中電界に換算した値)の耐圧向上が可能である。

図1



【特許請求の範囲】

【請求項1】高濃度のp型の導電型不純物を有するシリコン層上に少なくとも2層の絶縁膜で構成される積層絶縁膜があり、該積層絶縁膜上に金属、または導電性を有する金属窒化物、または導電性を有する金属酸化物による電極を有する半導体装置において、該積層絶縁膜の最下層絶縁膜のバンドギャップ（禁止帯）幅がその上に積層された絶縁膜のバンドギャップ（禁止帯）幅より大きいことを特徴とする半導体装置。

【請求項2】p型の導電型不純物を有するシリコン層が多結晶シリコンであることを特徴とする請求項1記載の半導体装置。

【請求項3】積層絶縁膜が SiO_2 と、その上に積層された Ta_2O_5 を含む積層膜であることを特徴とする請求項1記載の半導体装置。

【請求項4】積層絶縁膜が SiO_2 と、その上に積層された Si_3N_4 を含むことを特徴とする請求項1記載の半導体装置。

【請求項5】W、またはMo、またはAl、またはTi、またはCu、またはPt、またはTaを電極とする請求項1記載の半導体装置。

【請求項6】TiN、またはTa₂N、またはRuO₂を電極とする請求項1記載の半導体装置。

【請求項7】半導体基板表面に形成され、基板の不純物とは反対導電型の不純物を有する第1の不純物層と、該第1の不純物層上に形成された第1の絶縁膜と、該第1の絶縁膜上に形成され、かつ該第1の絶縁膜の開孔を通じて該第1の不純物層に電気的に接続され、かつp型不純物を有するシリコン層を有し、該p型不純物を有するシリコン層上に、少なくとも2層の絶縁膜で構成される積層絶縁膜を有し、該積層絶縁膜上に金属、または導電性を有する金属窒化物、または導電性を有する金属酸化物による電極を有する半導体装置において、該積層絶縁膜の最下層絶縁膜のバンドギャップ（禁止帯）幅がその上に積層された絶縁膜のバンドギャップ（禁止帯）幅より大きいことを特徴とする半導体装置。

【請求項8】第1の不純物層とp型不純物を有するシリコン層との電気的接続境界部に、不純物に対する拡散バリアを有することを特徴とする請求項7記載の半導体装置。

【請求項9】TiNを拡散バリアとすることを特徴とする請求項8記載の半導体装置。

【請求項10】第1の不純物層がp型拡散層であることを特徴とする請求項7記載の半導体装置。

【請求項11】第1の不純物層がMOSFET (Metal Oxide Semiconductor Field Effect Transistor) のソースまたはドレインに接続されていることを特徴とする請求項7記載の半導体装置。

【請求項12】第1の不純物層がMOSFET (Metal

Oxide Semiconductor Field Effect Transistor) のソースまたはドレインに接続されていることを特徴とする請求項8記載の半導体装置。

【請求項13】上記高濃度のp型の導電型不純物を有するシリコン層は $10^{19}/\text{cm}^3$ 以上の濃度のp型の導電型不純物を有することを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高集積半導体記憶装置用の電荷蓄積容量部構造、並びにこの電荷蓄積容量を有する半導体記憶装置に関する。

【0002】半導体記憶装置、特にDRAM (Dynamic Random Access Memory) に利用できる。

【0003】

【従来の技術】発明に最も近い公知例には、例えば特開平01-261860「半導体装置」がある。ここでは、多結晶シリコンを下部電極としその上に SiO_2 と Ta_2O_5 の順番に重ねた積層絶縁膜を有し、この積層絶縁膜上に金属またはその窒化物の上部電極を有する容量を形成している。

【0004】

【発明が解決しようとする課題】上記従来例を用いることによってDRAM用の電荷蓄積容量を形成できるが、 SiO_2 と Ta_2O_5 の薄膜化に伴って絶縁耐圧が低下する問題が発生し始めている。

【0005】

【課題を解決するための手段】絶縁耐圧の向上のために構造を変える実験を行ない解析した結果、下地電極に高濃度のp型多結晶シリコンを用いることで、絶縁膜中を流れる電流を減らし絶縁耐圧を向上できることを見出した。

【0006】

【作用】p型多結晶シリコンを下地電極に用いると、上部電極に正電圧が印加されたときには SiO_2 膜のバリア高が約1.1V高くなることによって SiO_2 膜のトンネル確率を減少させリーク電流が減り、上部電極に負電圧が印加されたときには下地電極の仕事関数が1.1V大きくなることによって Ta_2O_5 膜中の電界が減少するために Ta_2O_5 膜中のPoole-Frenkel電流が減りリーク電流が減る。

【0007】

【実施例】以下、本発明の実施例を図を用いて説明する。

【0008】図1は本発明第1の実施例である。n型シリコン基板101表面に形成されたp型不純物層102を持ち、このp型不純物層上に SiO_2 103が形成されている。 SiO_2 上に形成された $10^{20}/\text{cm}^3$ のボロンを含むp型多結晶シリコン104は SiO_2 の開孔部を介してp型不純物層に接続されている。このp型多結

晶シリコン上には SiO_2 (下層)と Ta_2O_5 (上層)の2層絶縁膜105があり、 Ta_2O_5 (上層)上には TiN 電極106がある。 SiO_2 の厚さは1nm、 Ta_2O_5 の厚さは10nmである。

【0009】p型多結晶シリコン中に含まれるボロン濃度は電圧が印加されたときの多結晶シリコン表面の空乏化を押さえるために濃いほどよいが、実用的には $10^{19}/\text{cm}^3$ 以上の濃度であれば使うことができる。また、本例では上部電極に TiN を用いたが、 W 、 Mo 、 Cu 、 Al 、 Ti 、 Pt 、 Ta などの金属、あるいは Ta_2N 、あるいは RuO_2 などの使用も考えられる。また、絶縁膜として SiO_2 (下層)と Si_3N_4 (上層)の組合せ等、一般的には上層のバンドギャップが下層に比べて小さい2層の積層材料を使ってもよい。またこの2層絶縁膜の上にさらに他の絶縁膜が積層された構造であってもよい。

【0010】図2は本発明第2の実施例である。図2の例では、図1に示したp型多結晶シリコン104とp型不純物層102の間に不純物拡散バリアとして耐熱性もある TiN 107を形成してある。この構造では、p型多結晶シリコンと102の不純物層の間で不純物の相互拡散が起きないため、102の不純物がn型であっても不純物相互拡散に起因する導通不良の問題を生じない。すなわち、実施例の図1および図2では、pチャネル型の素子上にp型多結晶シリコンの下地電極を有する容量を形成した構成になっているが、図2の構造を用いれば、nチャネル型の素子上にも同様の容量を形成することができる。

【0011】図3は図1および図2の構造の容量絶縁膜を流れるリーク電流を、従来のn型多結晶シリコンを下地電極とする容量のリーク電流と比較した結果を示す。実効膜厚(単位面積当りの静電容量と SiO_2 の誘電率で計算した SiO_2 膜換算の膜厚)は約3nmである。

【0012】p型多結晶シリコンを使った場合、ゲート(上部電極)に正/負いずれの電圧を印加した場合であってもリーク電流が低減していることがわかる。

【0013】図4は厚さ12nmの Ta_2O_5 膜を被着して形成した容量の実効耐圧(単位面積当りの静電容量と SiO_2 の誘電率で計算した SiO_2 膜中換算の電界強度。実効耐圧下では $10\text{ nA}/\text{cm}^2$ のリーク電流が流れる。)と、実効膜厚の関係を示した。

【0014】白丸はp型多結晶シリコンを使った場合であって、ゲート(上部電極)に負バイアスの電圧を印加したときの実効耐圧を示し、黒丸はp型多結晶シリコンを使った場合であって、ゲート(上部電極)に正バイアスの電圧を印加したときの実効耐圧を示す。

【0015】ハッチングされた線はリンドープされたn型多結晶シリコンを使った場合であって、ゲート(上部電極)に正バイアスの電圧を印加したときの実効耐圧である。

【0016】実効膜厚が3nmのときのp型多結晶シリコン上の容量絶縁膜の実効耐圧は、n型多結晶シリコン上の容量絶縁膜の実効耐圧に比べ2MV/cm程度以上改善していることがわかる(黒丸が示す最低実効耐圧は約3MV/cm、一方n型多結晶シリコンを使った場合は約1MV/cm)。

【0017】図5はn型多結晶シリコンまたはp型多結晶シリコンを下地電極とする Ta_2O_5 膜/ SiO_2 膜の2層絶縁膜を用いた容量のフラットバンド状態のバンド構造を示す。下地電極がp型の場合、 SiO_2 側の電子に対するバリア高がn型の場合に比べ1.1eV高くなる。このためゲート(上部電極)に正電圧が印加された場合、下地電極からの電子トンネルが抑制され、リーク電流が減る。一方、ゲートに負バイアスが印加された場合は、p型下地電極を用いた場合に Ta_2O_5 膜中の電界強度が減少し、膜中のPoole-Frenkel電流が減少してリーク電流が減る。

【0018】リーク電流低減効果は、非常に良く似たバンド構造を持つ絶縁膜、例えば $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜であっても現われることは言うまでもない。

【0019】図6は本発明第3の実施例を示す2交点方式DRAM (Dynamic Random Access Memory)メモリの平面レイアウト図である。

【0020】図において、201はアクティブ領域、202はMOSFET (Metal Oxide Semiconductor Field Effect Transistor)のゲートを構成するワード線、203はアクティブ領域とp型多結晶シリコンで形成された容量下部電極204とを接続するための接続孔、205は容量の上部電極を形成するためのプレートパターン、206はアクティブ領域とデータ線207を接続するためのコンタクト穴である。

【0021】図6のA-A'部の断面部分の構造を示すのが図7である。

【0022】図では、p型シリコン基板301上に素子分離用の SiO_2 層302と、n型拡散層307、ゲート SiO_2 303、ワード線304等で構成されたMOSFETがある。n型拡散層は TiN 309を介して、 WSi_2 で形成されたデータ線314またはp型多結晶シリコンで形成した下部電極104に電気的に接続されている。p型多結晶シリコン電極104上には厚さ10nmの Ta_2O_5 膜と厚さ1nmの SiO_2 で構成された2層絶縁膜があり、その上には厚さ100nmの TiN を用いた上部電極(プレート)がある。

【0023】図8は本発明第4の実施例を示す擬似2交点方式(または1/4ピッチ方式)DRAMメモリの平面レイアウト図である。

【0024】アクティブ領域201のレイアウトに変更を行なった結果、データ線のレイアウトが直線的でシンプルなものに変わっている。また、この構造の場合、図6の構造に比較して接続孔203の近隣に隣接メモリセ

5

ルのアクティブ領域がないため、接続孔形成時に下地部分の素子分離用 SiO_2 が削られて、これが原因となる素子分離領域の電流リーク（隣接メモリセル間の電流リーク）が起きにくい。

【0025】図9から図18は、図7に示した実施例の製造方法を示す実施例である。

【0026】p型シリコン基板101（図9）上に、公知のLOCOS（Local Oxidation of Silicon）法により素子分離領域の厚さ400nmの SiO_2 層302を形成した後、公知の熱酸化法を用いて厚さ6nmのゲート SiO_2 膜303を形成する（図10）。

【0027】次に公知の化学気相成長法（CVD法）を用いてn型不純物を含む厚さ150nmの多結晶シリコン304と厚さ300nmの SiO_2 305を被着する（図11）。

【0028】図示されていないが、所定のレジストパターンを用いて SiO_2 と多結晶シリコンをエッチングしワード線を形成し、さらに基板表面にイオン打ち込み法を用いてn型不純物層307を形成する（図12）。

【0029】次に、CVD法を用いて厚さ100nmの SiO_2 膜を被着し、エッチバックしてワード線を SiO_2 膜306で絶縁する。さらに、CVD法により厚さ300nmの Si_3N_4 膜を被着し、エッチバックして絶縁したワード線間を Si_3N_4 膜308で平坦化する（図13）。

【0030】n型不純物領域上の Si_3N_4 膜に、図示されていないレジストパターンを用いて穴パターンを形成した後、スパッタリング法で厚さ50nmの TiN 膜を被着し、さらにCVD法で厚さ200nmの TiN 膜を被着し、さらにエッチバックをすることによって TiN 309を埋め込む（図14）。

【0031】次に厚さ50nmの SiO_2 膜をCVD法により被着し、 TiN 上の所定の位置330に開孔部を形成した後、厚さ100nmの WSi_2 と厚さ200nmの SiO_2 で構成されたデータ線を、CVD法、リソグラフィ、ドライエッチング法を組合せて形成する（図15）。

【0032】引き続き、CVD法を用いて厚さ100nmの SiO_2 膜を被着しエッチバックを行なって、データ線側壁に絶縁用の SiO_2 膜332を形成し、引き続きCVD法で厚さ200nmの Si_3N_4 膜333と厚さ200nmの SiO_2 膜334を被着する（図16）。

【0033】次に、所定のレジストパターンを用いて例えば334等の領域の SiO_2 膜、 Si_3N_4 膜をこの順番にエッチングし、厚さ50nmのp型多結晶シリコンと図示されていないが厚さ200nmの SiO_2 をCVD法で被着する。厚さ200nmの SiO_2 と厚さ50nmのp型多結晶シリコンをエッチバックした後、穴内に残った SiO_2 とp型多結晶シリコン周囲の SiO_2 をHF水溶液を用いて除去し、円筒型のp型下地電極3

6

35を形成する（図17）。

【0034】次に、 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ をソースとする熱分解方式低圧CVD法を用いて、厚さ10nmの Ta_2O_5 膜を被着し、700℃30分の O_2 アニール、および850℃10分のArアニールを施す。Arアニールは、 Ta_2O_5 膜の膜質を改善させるとともに、下地多結晶シリコン電極から Ta_2O_5 膜中へのシリコン拡散を防ぐ効果を有する。 O_2 アニールの最後に Ta_2O_5 膜下のp型多結晶シリコン表面に厚さ約1nmの SiO_2 膜が形成される。最後にCVD法を用いて TiN を被着し、図示されていないが所定のパターンにエッチングしてDRAM用のメモリセルが形成される（図18）。

【0035】

【発明の効果】本発明によれば、高集積微細DRAM用の Ta_2O_5 膜容量の絶縁膜耐圧を向上することができ、これによって容量絶縁膜の薄膜化、従って、静電容量の増加が可能となる。

【図面の簡単な説明】

【図1】本発明第1の実施例を示す断面図である。

【図2】本発明第2の実施例を示す断面図である。

【図3】本発明第1および第2の実施例による絶縁膜のリーク電流低減効果を示す電気特性データである。

【図4】本発明第1および第2の実施例による絶縁膜のリーク電流低減効果を示しており、実効耐圧と実効膜厚の関係を示す電気特性データである。

【図5】本発明のリーク電流低減の原理を説明するためのバンド構造図である。

【図6】本発明第3の実施例である2交点方式DRAMのレイアウト図である。

【図7】図6のA-A'部の断面構造を示す。

【図8】本発明第4の実施例である擬似2交点方式DRAMのレイアウト図である。

【図9】図7に示す構造を製造するための工程を示す断面図である。

【図10】図7に示す構造を製造するための工程を示す断面図である。

【図11】図7に示す構造を製造するための工程を示す断面図である。

【図12】図7に示す構造を製造するための工程を示す断面図である。

【図13】図7に示す構造を製造するための工程を示す断面図である。

【図14】図7に示す構造を製造するための工程を示す断面図である。

【図15】図7に示す構造を製造するための工程を示す断面図である。

【図16】図7に示す構造を製造するための工程を示す断面図である。

【図17】図7に示す構造を製造するための工程を示す断面図である。

7

8

【図18】図7に示す構造を製造するための工程を示す断面図である。

【符号の説明】

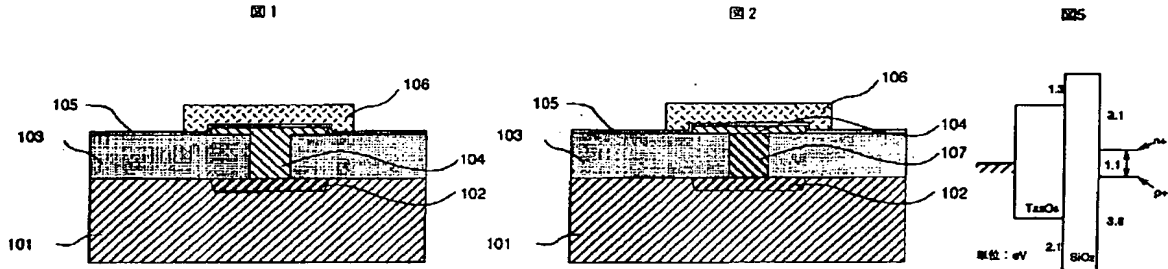
101…n型シリコン基板、102…p型不純物領域、103…SiO₂、104…p型多結晶シリコン、105…Ta₂O₅/SiO₂絶縁膜、106…TiN、107…TiN、201…アクティブ領域、202…ワード線、203…接続孔、204…下地電極、205…アレ

ート、206…コンタクト穴、207…データ線、301…p型シリコン基板、302…SiO₂、303ゲートSiO₂、304…n型多結晶シリコン（ワード線）、305…SiO₂、306…SiO₂、307…n型不純物領域、308…Si₃N₄、309…TiN、314…WSi₂、401…SiO₂、402…SiO₂、403…Si₃N₄。

【図1】

【図2】

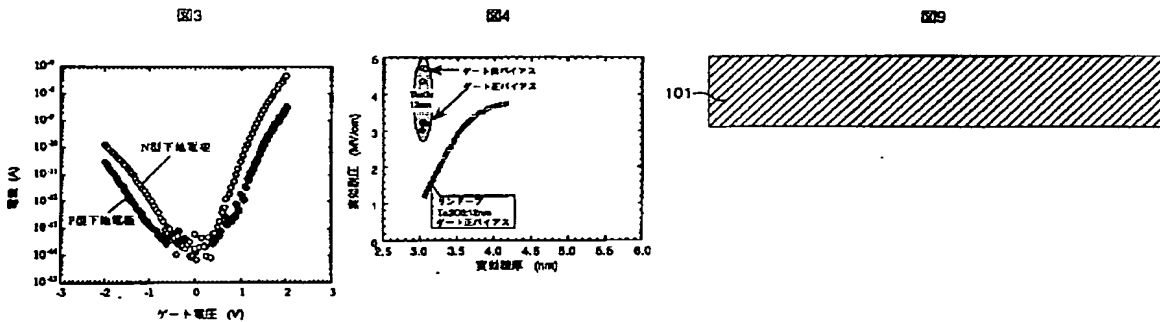
【図5】



【図3】

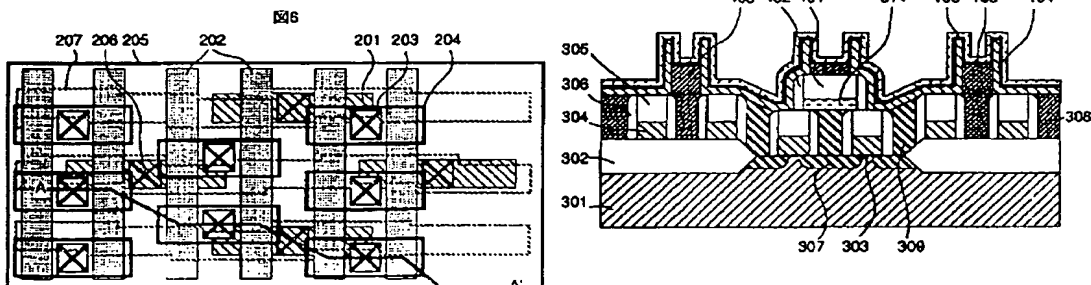
【図4】

【図9】

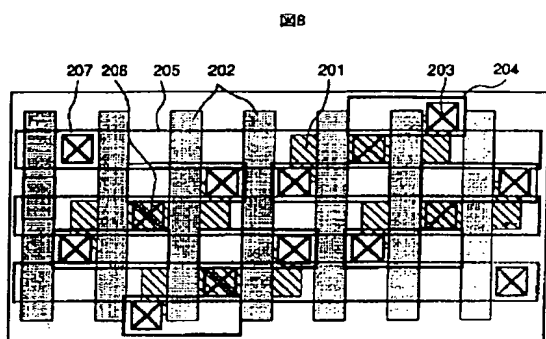


【図7】

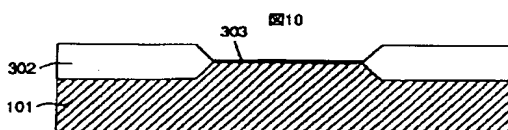
【図6】



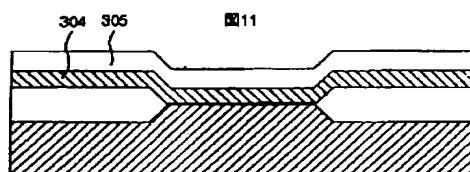
【図8】



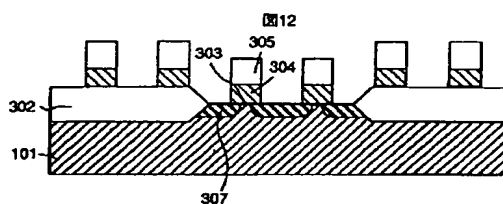
【図10】



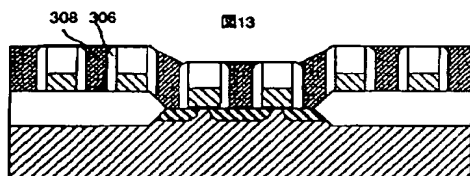
【図11】



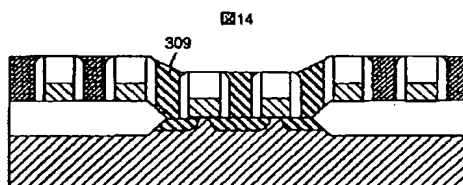
【図12】



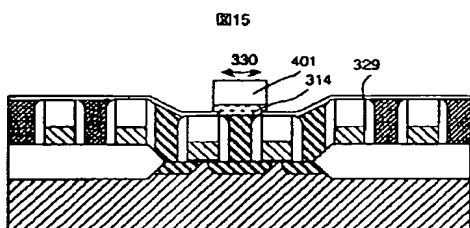
【図13】



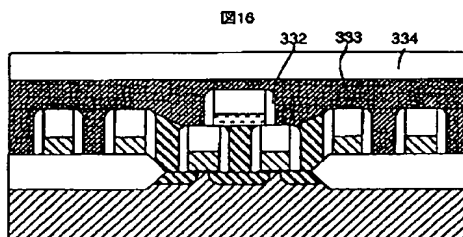
【図14】



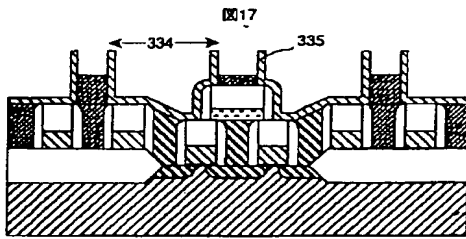
【図15】



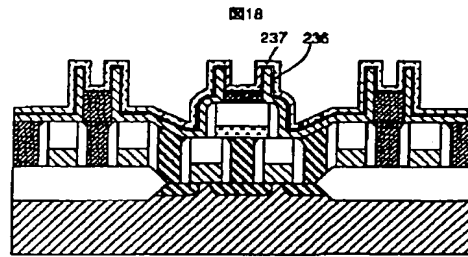
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl.⁶
H01L 21/822
29/43

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M
8826-4M

H01L 27/10
29/46

325 J
T

(72)発明者 大路 譲
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 久▲禮▼ 得男
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内